

IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY

Publication number: JP60002989

Publication date: 1985-01-09

Inventor: MURATA MASAMI; WADA KENJI

Applicant: SUWA SEIKOSHA KK

Classification:

- international: *G02F1/1333; G01R31/00; G02F1/133; G09F9/35; G09G3/36; G01R31/00; G02F1/13; G09F9/35; G09G3/36; (IPC1-7): G09G3/36; G02F1/133; G09F9/35*

- European:

Application number: JP19830110514 19830620

Priority number(s): JP19830110514 19830620

[Report a data error here](#)

Abstract not available for JP60002989

Data supplied from the **esp@cenet** database - Worldwide

Family list

2 family member for: **JP60002989**

Derived from 1 application

[Back to JP60002989](#)

1 IC SUBSTRATE FOR ACTIVE MATRIX DISPLAY BODY

Inventor: MURATA MASAMI; WADA KENJI

Applicant: SUWA SEIKOSHA KK

EC:

IPC: *G02F1/1333; G01R31/00; G02F1/133* (+9)

Publication info: **JP1833132C C** - 1994-03-29

JP60002989 A - 1985-01-09

Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60—2989

⑪ Int. Cl.⁴

G 09 G 3/36

G 02 F 1/133

G 09 F 9/35

識別記号

1 1 8

1 2 9

庁内整理番号

7436—5C

7348—2H

7348—2H

6615—5C

⑬ 公開 昭和60年(1985)1月9日

発明の数 1

審査請求 未請求

(全 6 頁)

⑭ アクティブマトリックス表示体用 IC 基板

⑯ 発明者 和田健嗣

諏訪市大和3丁目3番5号株式
会社諏訪精工舎内

⑰ 特 願 昭58—110514

⑱ 出 願 昭58(1983)6月20日

⑲ 出 願 人 株式会社諏訪精工舎

⑳ 発明者 村田雅己

東京都中央区銀座4丁目3番4
号

諏訪市大和3丁目3番5号株式
会社諏訪精工舎内

㉑ 代理人 弁理士 最上務

明 細 書

発明の名称

アクティブマトリックス表示体用 IC 基板

特許請求の範囲

1) 複数本のデータ線と複数本のゲート線をマトリックス状に形成し、各交点に画素トランジスタ、液晶駆動電極を設けた画素部と前記データ線又はゲート線を駆動するための X、Y 周辺駆動回路部から構成されるアクティブマトリックス表示体用 IC 基板において、X、Y 周辺駆動回路のうち少なくとも一方は、1 系統しか設けず、かつ、該 1 系統の周辺回路と反対の辺にゲートに複数の共通ラインが入力したトランジスタ群を配置したことを特徴とするアクティブマトリックス表示体用 IC 基板。

発明の詳細な説明

本発明は周辺駆動回路を内蔵したアクティブマ

トリックス表示体用 IC 基板に関する。

従来アクティブマトリックス用 IC 基板は、表示部分のみで構成され、マトリックスの駆動部分は IC 基板とボンディング等により接続された外部の ROM あるいは IC チップにより構成されていた。第 1 図はアクティブマトリックスの表示部分を示し表示部分 1 は $(n \times m)$ コのセル 2 が配列されている。各セルにはゲート線 G1 とデータ線 D1 が配線されており、この 2 つの信号線の交点となるセルを選択してデータ線 D1 からデータを各セルに書き込む。各セルはトランジスタ T11 とデータ保持用の容量 C11 から構成されて、駆動点 V11 から液晶等の表示体を駆動する。例えばここにテレビの画面表示を行うとすると、テレビ用の映像信号が各タイミングに応じてデータ線から、その時の走査線位置にあたるゲート線を選択することにより各セルに順次データを置いてゆく。このためには走査位置に合致したゲート線を選択する信号を各ゲート線 G1 ~ Gn に与え、又その走査位置におけるデータを、横方向へ走査し

て書き込むためにデータ線に送り込むための周辺回路が必要となる。

ところが、この周辺回路と、このアクティブマトリックス基板の接続は、 $n+m$ 箇所必要となり、実際は400~800本となりかなり大変でありコスト的にも高くつく。又周辺駆動回路自体も通常消費電力を低減する意味でCMOS-LSIが用いられるが、このために必要なチップ数が100~200コで、やはり、アセンブルが大変でチップ自体のコストもかなり過ぎる。従ってこの周辺回路をI/O基板に内蔵することが最もよいが下に挙げるような問題点がある。

(1) 外付の場合はCMOS技術が使えが、一般にマトリックスI/O基板はNMOS、又はPMOSであり、普通に駆動回路を構成すると消費電力が大きすぎて使いものにならない。又I/O基板をCMOSにすると、製造プロセスが複雑になりすぎる。

(2) 駆動回路外付の場合には、分割されているので歩留は問題ないが、内蔵すると歩留が100

%近くないと、駆動回路の一部の不良により、I/O基板全体が不良となる。

このような問題点を解決するためにNチャンネルMOSプロセスを用いたダイナミック型のシフトレジスタが採用されている。第2図及び第3図はゲートライン駆動用のシフトレジスタ回路の回路図及びタイミング図である。

シフトレジスタセル5は4つのトランジスタ7~10と1つのブートストラップ容量6より構成される。クロックは ϕ_1 と ϕ_2 の2相でありスタートパルスSP入力により"1"電位が順次クロックに同期して転送してゆく。各シフトレジスタの出力 $D_1 \sim D_n$ がゲート線に入力されて、この結果、第3図に示す如く、順次各ゲート線を選択していく。

第4図は本発明によるデータ線側の駆動回路の一例である。シフトレジスタセル14はブートストラップ容量16と動作に必要なトランジスタ17, 18により構成され、初段へは入力ゲート15を介してスタートパルスSPを印加する。又

各シフトレジスタ出力 $B_1 \sim B_m$ はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力され、走査信号に同期してビデオ入力V.B.(映像信号又はデータ書き込み信号)をデータ線に寄生する容量 $0D_1 \sim 0D_m$ にサンプルホールドさせる。データ線側駆動回路は一走査線内で全ての処理を行うため高速であり、リーク電流の考慮は余りなくてよいが逆に高速動作を確保することと、高速のために増大する消費電力を抑えることを考慮する必要がある。このために、シフトレジスタのクロックは2相でなく4相以上を用いるのがよい。同一の転送率で同一のビット数を確保するためにはクロックが2相から4相になればクロックライン $\phi_1 \sim \phi_4$ で消費する電力は半分になる。又8相になればその半分となる。このシフトレジスタはmビット中1ビットしか"1"になっていないのでクロック以外での電力消費は少ない。従って本方式の採用により、周辺駆動回路はモノチャネル構成にもかかわらずCMOS並の低電力とすることが可能である。シフトレジスタの出力 $B_1 \sim B_m$

はサンプルホールドトランジスタ $H_1 \sim H_m$ に入力されるのみでここに寄生する容量はそう大きくない。従って $B_1 \sim B_m$ に直接小面積で構成されるブートストラップ容量16を接続することが可能となる。サンプル・ホールドトランジスタ $H_1 \sim H_m$ 19はかなりの高速スイッチングが要求されるが、そのゲート入力にはブートストラップ動作により、第5図に示す如くクロック信号の2倍近い振幅で印加されるので、非常に高速でスイッチングできるという利点がある。以上のX,Yシフトレジスタを実際に配置する場合であるが、従来は各データ線及びゲート線の断線による欠陥を救済するためにX,Yシフトレジスタを上下、左右に2系統づつ設けた。第6図はこの従来例を示す図であり実際にアクティブ・マトリックス基板に配置した場合を示している。データ側Xシフトレジスタ35, 36と及び最終段の帰還信号を形成するダミーセル37, 38とサンプルホールド用トランジスタ $H_1 \sim H_m$ があり上下対照に配列される。又ゲート側Yシフトレジスタ31, 32

とダミー33, 34は左右対照に配列される。

ところが、パターンルールが $10\mu m$ 程度のゆるい場合には、各ゲート線及びデータ線の断線のある確率は低いために、歩留り向上の効果は余りない。逆に、上下左右の2系統のX, Y駆動回路が完全に無欠陥でなければならない場合には歩留り低下になる。また、同じ機能の回路を並列に動かすために、消費電力を余分に使うことになる。特に、X駆動回路は、1水平走査期間(63.5 μs)に同期して、ゲート線が選択されている間に、左から右へと点順次走査により1行の200個程度の画素に信号を書き込んで行くことになり、第4図の4相クロックの回路を使っても、クロック信号 $\phi_1 \sim \phi_4$ の周波数は750KHz \sim 1MHzとなり、消費電力が多くなる。

以上の理由により、X駆動回路については、上下どちらか1系統とした方が良くなる。Y駆動回路については、クロック ϕ_1, ϕ_2 の周波数は、水平同期周波数の半分の約750KHzとXに比較して、約 $1/100$ と小さく、消費電力も少ないため、

2系統のシフトレジスタを設けても良い。

ところが、X駆動回路を1系統のみにすると、データ線の片端から信号を供給するのみであるのでデータ線に断線があるかどうかの検査ができなくなり、品質管理上重要な問題となる。このために、データ線のX駆動回路と反対側にフローピング用のパッドを設ける方法があるが、 $100 \sim 200\mu m$ 程度のピッチで200個程度のパッド列となるために、検査時の位置出し工数がかかることになる。本発明はかかる問題点を鑑みて行なわれたものであり、データ線の検査を容易にすることを目的とする。

以上の欠点を解決するために、データ線のX駆動回路と反対側に検査用のトランジスタを複数枚設けるものである。第7図は本発明の具体例の1つであり、下側のX駆動回路の代わりに、データ線 $D_1 \sim D_m$ とドレインを結ばれたテスト用トランジスタ $X_1 \sim X_m$ が設けられている。テスト用トランジスタ $X_1 \sim X_m$ は奇数番号と偶数番号の群に分けられ、各群のトランジスタは、ソー

ス及びゲートを共通になっている。各群のソース及びゲートは各々 B_{01}, B_{02}, G_1, G_2 と呼ばれる端子からチップの外へ取り出される。また、ゲート端子 G_1, G_2 は通常は、テスト用トランジスタ $X_1 \sim X_m$ のドレイン-ソース間をハイインピーダンスとするためにプルダウン抵抗 R_1, R_2 により基板単位になっている。テスト用トランジスタ $X_1 \sim X_m$ は奇数番号と偶数番号の群に分けてあるのは、第5図のタイミング図からわかるように、サンプルホールドトランジスタ $H_1 \sim H_m$ は隣接する2つが同時に選択される。このため、もし、テスト用トランジスタ $X_1 \sim X_m$ が一系統のみの場合はソース線に断線があっても、隣接するソース線が正常な場合は断線が発見できなくなる。このことを防止するために、隣接するソース線に継がるテスト用トランジスタを奇数と偶数の群に分けているのである。即ち、テスト用トランジスタのゲート G_1 と G_2 を独立に制御して、ソース端子 B_{01}, B_{02} から信号を検出することにより、各ソース線 $D_1 \sim D_m$ の

断線チェックが可能になるのである。例えば、XシフトレジスタのVIDEO端子をHighレベルにして、かつ、テスト用トランジスタのソース端子 B_{01}, B_{02} を抵抗で基板単位へプルダウンした時のタイミング図を第8図に示す。 $B_1 \sim B_m$ は第5図に示したXシフトレジスタの出力でありサンプルホールドトランジスタ $H_1 \sim H_m$ のゲート信号であり、これと同期してテスト用トランジスタのゲート端子 G_1, G_2 に図のような信号を加えるとソース端子 B_{01}, B_{02} には図のような信号が得られ、 $D_1 \sim D_m$ のソース線が断線していないことがわかるのである。もし、断線があった場合は、例えば、 D_1 が断線している場合には B_{01} のように対応するパルスが欠落して、断線している箇所がわかるのである。

以上のように、本発明によればアクティブマトリックス表示体用IC基板の検査が容易になり、品質の向上が図かれ、その効果は非常に大きい。なお、本願の実施例は単結晶シリコンを用いたアクティブマトリックス表示体としたが、ガラス基

板上に薄膜トランジスタを形成したTFTについても適用できるものである。

図面の簡単な説明

第1図……アクティブマトリックスの表示部の

等価回路図

1……表示部

2……セル

第2図……ゲート線駆動用のYシフトレジスタ

の等価回路図

5……シフトレジスタセル

6……ブートストラップ容量

7～10……トランジスタ

第3図……ゲート線駆動用のYシフトレジスタ

のタイミング図

第4図……ソース線駆動用のXシフトレジスタ

の等価回路図

14……シフトレジスタセル

15……入力ゲート

16……ブートストラップ容量

17～18……トランジスタ

19……サンプルホールドトランジスタ

第5図……ソース線駆動用のXシフトレジスタのタイミング図

第6図……従来例のアクティブマトリックス表示体用IC基板

35, 36……データ側Xシフトレジスタ

37, 38……ダミーセル

31, 32……ゲート側Yシフトレジスタ

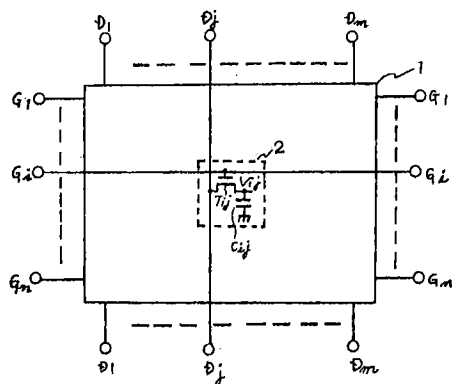
33, 34……ダミーセル

第7図……本発明の実施例のアクティブマトリックス用IC基板の図

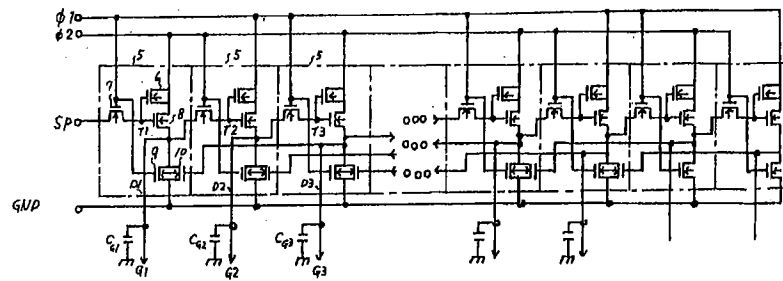
39……テスト用トランジスタ

40……プルダウン抵抗

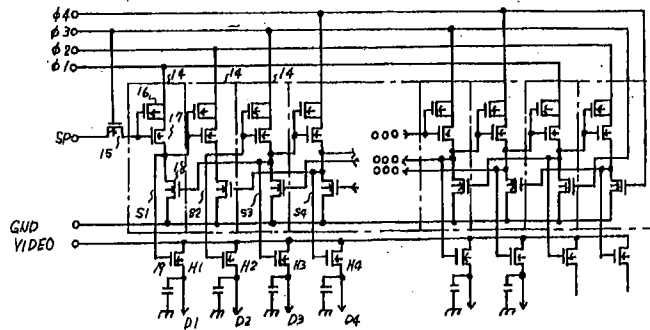
第8図……本発明に於けるタイミング図



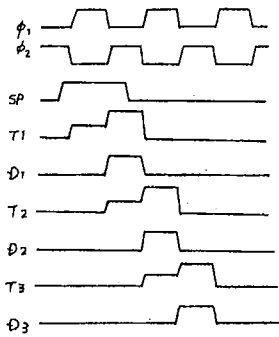
第1図



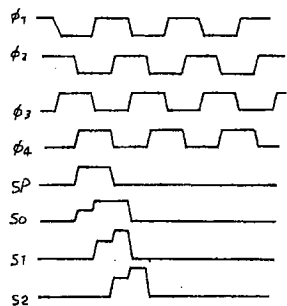
第 2 図



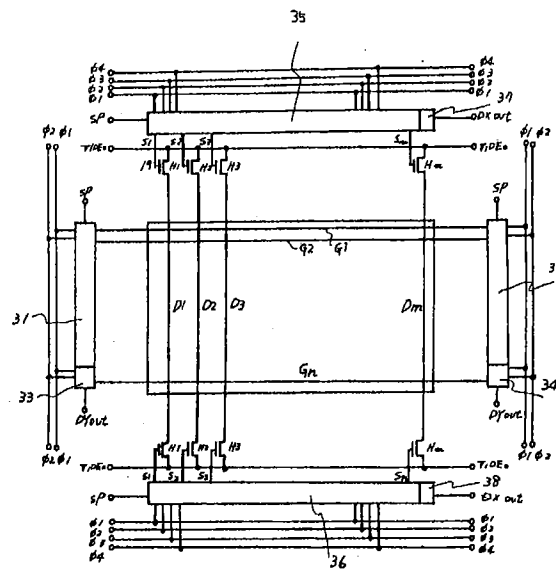
第 4 図



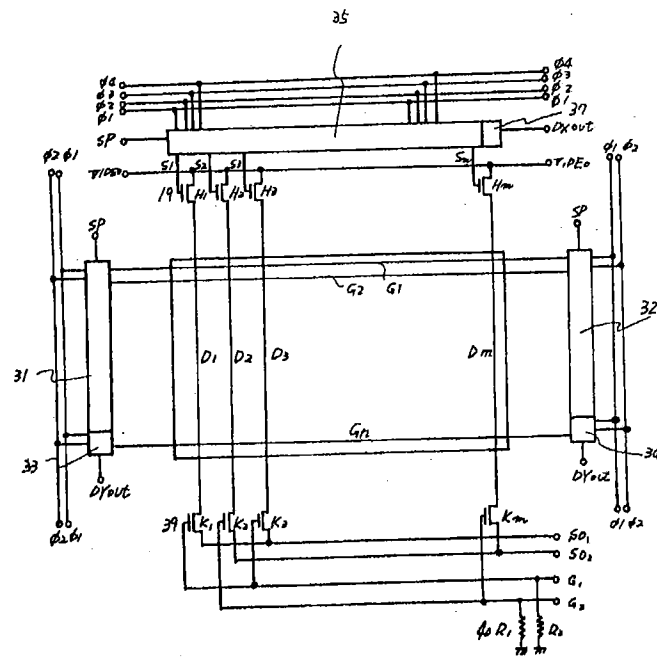
第 3 図



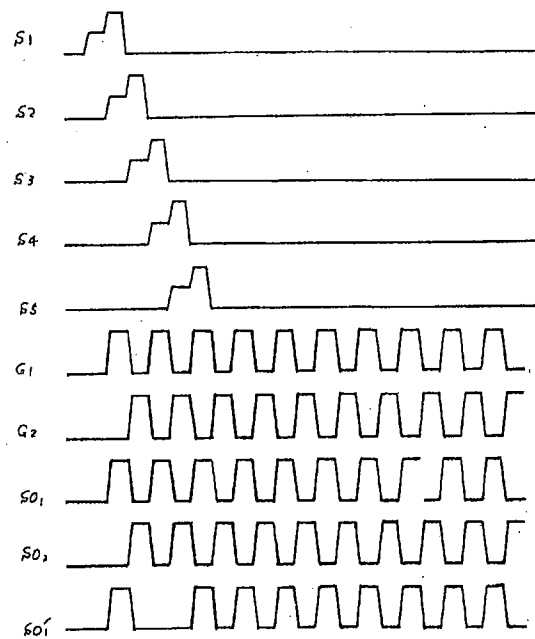
第 5 図



第 6 図



第 7 図



第 8 図

Title: IC Substrate for Active matrix Display

Claim:

An IC for active matrix display comprising:

a pixel unit comprising a pixel unit a plurality of data lines and gate lines arranged in a matrix, and pixel transistors and liquid crystal driving electrodes arranged at interfaces thereof, and X and Y peripheral circuit units for driving the data or gate lines, wherein at least one of the X and Y peripheral circuit units forms only one series, and a transistor group of which gates derive input from a plurality of common lines is arranged at a side opposite to a side along which the only one series of the peripheral circuit.